

대한민국 특허청  
KOREAN INDUSTRIAL  
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

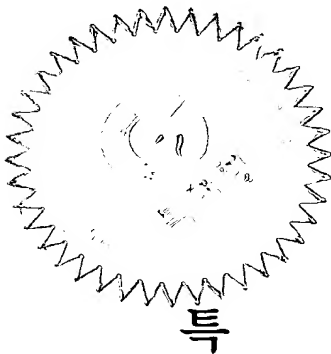
This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Industrial  
Property Office.

출원번호 : 특허출원 2000년 제 34897 호  
Application Number

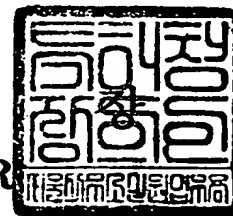
출원년월일 : 2000년 06월 23일  
Date of Application

출원인 : 현대전자산업주식회사  
Applicant(s)

2000 년 10 월 30 일



특허청  
COMMISSIONER



|            |   |
|------------|---|
| 【서류명】      | 특허출원서   |
| 【권리구분】     | 특허  |
| 【수신처】      | 특허청장  |
| 【참조번호】     | 0005  |
| 【제출일자】     | 2000.06.23  |
| 【국제특허분류】   | H01L  |
| 【발명의 명칭】   | 반도체 소자의 위상 반전 마스크 제조방법  |
| 【발명의 영문명칭】 | A method for manufacturing phase shift mask of semiconductor device |
| 【출원인】      |   |
| 【명칭】       | 현대전자산업주식회사  |
| 【출원인코드】    | 1-1998-004569-8   |
| 【대리인】      |   |
| 【성명】       | 이후동   |
| 【대리인코드】    | 9-1998-000649-0   |
| 【포괄위임등록번호】 | 1999-058167-2   |
| 【대리인】      |   |
| 【성명】       | 이정훈   |
| 【대리인코드】    | 9-1998-000350-5   |
| 【포괄위임등록번호】 | 1999-054155-9   |
| 【발명자】      |   |
| 【성명의 국문표기】 | 홍지석   |
| 【성명의 영문표기】 | HONG, Ji Suk  |
| 【주민등록번호】   | 681031-1036616  |
| 【우편번호】     | 442-380   |
| 【주소】       | 경기도 수원시 팔달구 원천동 548번지 원천주공2단지아파트 201동 12 01호                        |
| 【국적】       | KR  |
| 【발명자】      |   |
| 【성명의 국문표기】 | 김희범   |
| 【성명의 영문표기】 | KIM, Hee Bom  |
| 【주민등록번호】   | 700211-1930411  |
| 【우편번호】     | 467-860   |

**【주소】** 경기도 이천시 부발읍 응암2리 산 97번지 이화아파트 102-712  
**【국적】** KR  
**【발명자】**  
**【성명의 국문표기】** 구상술  
**【성명의 영문표기】** K00,Sang Sool  
**【주민등록번호】** 670324-1818714  
**【우편번호】** 467-110  
**【주소】** 경기도 이천시 증포동 94-3 신한아파트 103동 602호  
**【국적】** KR  
**【취지】** 특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대  
리인 이후  
동 (인) 대리인  
이정훈 (인)  
**【수수료】**  
**【기본출원료】** 18 면 29,000 원  
**【가산출원료】** 0 면 0 원  
**【우선권주장료】** 0 건 0 원  
**【심사청구료】** 0 항 0 원  
**【합계】** 29,000 원  
**【첨부서류】** 1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

본 발명은 반도체 소자의 위상 반전 마스크 제조방법에 관한 것으로, 하나의 마스크 상에 사이드 로브(side lobe) 현상이 심한 셀 영역의 패턴 밀집영역에는 저투과율의 위상반전물질을 적용하고, 공정여유도가 부족한 주변회로영역의 고립된 콘택홀 또는 밀도가 낮은 콘택홀 패턴 부위에는 고투과율의 위상반전물질을 적용하여 고해상도의 미세 패턴을 형성할 수 있는 반도체소자의 위상반전마스크 형성하여 위상조절이 용이하게 하고, 공정 마진을 향상시켜 반도체소자의 고집적화를 유리하게 하는 기술이다.

**【대표도】**

도 5k

## 【명세서】

## 【발명의 명칭】

반도체 소자의 위상 반전 마스크 제조방법{A method for manufacturing phase shift mask of semiconductor device}

## 【도면의 간단한 설명】

도 1a 및 도 1b 는 종래 기술에 따른 어테뉴에이티드 위상 반전 마스크(attenuated phase shift mask)의 구조를 도시한 단면도 및 평면도.

도 2a 및 도 2b 는 종래 기술에서 고투과율의 위상반전마스크를 적용하여 형성된 패턴을 나타낸 사진.

도 3 은 본 발명에 따른 다중 투과 위상반전마스크의 평면도.

도 4a 및 도 4b 는 본 발명에 따른 다중 투과 위상반전마스크를 적용할 영역을 도시한 평면도.

도 5a 내지 도 5k 는 본 발명에 따른 다중 투과 위상반전마스크의 제조방법을 도시한 단면도.

## &lt; 도면의 주요부분에 대한 부호의 설명 &gt;

10, 40, 46, 50 : 수정기판

11, 44 : 크롬막패턴

30, 44 : 0% 투과영역

32 : 저투과영역

33 : 고투과영역

42 : 고투과 위상반전물질

42 : 저투과 위상반전물질

51a : 제1크롬막

51b : 제1크롬막패턴

52a : 위상반전물질층

|                 |                |
|-----------------|----------------|
| 52b : 위상반전물질층패턴 | 53a : 제2크롬막    |
| 53b : 제2크롬막패턴1  | 53c : 제2크롬막패턴2 |
| 54a : 제3크롬막     | 54b : 제3크롬막패턴1 |
| 54c : 제3크롬막패턴2  | 55a : 제1감광막    |
| 55b : 제1감광막패턴   | 56a : 제2감광막    |
| 56b : 제2감광막패턴   | 57 : 제3감광막패턴   |

#### 【발명의 상세한 설명】

#### 【발명의 목적】

#### 【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <18> 본 발명은 반도체 소자의 위상 반전 마스크 제조방법에 관한 것으로, 특히 하나의 마스크 내에 두 가지 또는 그 이상의 투과율을 갖는 다중 투과 위상반전마스크(phase shift mask, 이하 PSM이라 함)를 형성하여 사진공정의 공정능력을 향상시키고, 미세 패턴의 구현을 유리하게 하는 반도체소자의 위상 반전 마스크 제조방법에 관한 것이다.
- <19> 일반적으로 설계에 의해 배열이 된 회로 소자를 실제 웨이퍼 표면에 형성시키기 위해서는 회로도면이 여러 장의 마스크에 옮겨져야 하는데 이 마스크는 설계도면의 데이터를 수록한 피지(PG) 테이프를 이용하여 먼저 하나의 칩에 대한 레티클(Reticle)을 만들고 나서 이것을 마스크에 옮겨 마스터 마스크(master mask)를 만들게 된다.
- <20> 현재 DRAM공정에서 사용되고 있는 마스크 중에서 어테뉴에이티드 위상반전마스크(attenuated phase shift mask)는 패턴의 종류에 따라 크게 두 가지 목적으로 제작되어 적용되고 있다.

- <21> 첨부된 도 1a 및 도 1b 는 종래 기술에 따른 어테뉴에이티드 위상 반전 마스크의 구조를 도시한 단면도 및 평면도이고, 도 2a 및 도 2b 는 종래 기술에서 고투과율의 위상반전마스크를 적용하여 형성된 패턴을 나타낸 사진으로서, 수정기관(10) 상에 위상반전영역으로 예정되는 부분에 크롬막패턴(11)을 형성되어 있다.
- <22> 도 1a 에 도시된 것은 상기 어테뉴에이티드 위상반전마스크 중에서 라인/스페이스(line/space)패턴용으로서 공정 여유도를 증가시켜 더 미세한 패턴을 해상하기 위한 것이고, 다른 하나는 도 1b 에 도시된 것은 어테뉴에이티드 위상반전마스크 중에서 콘택홀(contact hole)패턴용으로서 일반적으로 웨이퍼 상에 해상하려는 크기보다 크게 마스크 상에 디자인하여 프린트 바이어스, 즉 디자인 상의 마스크 크기와 해상하려는 패턴 크기를 이용하여 공정여유도 특히 초점심도(depth of focus)가 충분히 큰 콘택홀 패턴을 해상하는 것이다.
- <23> 후자는 현재 사용하고 있는 어테뉴에이티드 위상반전마스크의 투과율이 약 5 ~ 9%의 저투과율을 이용한 것으로, 투과율이 높아지면 패턴 주변으로 투과되는 빛의 간섭으로 인해 도 2a 및 도 2b 에 도시된 바와 같이 소위 고스트 이미지(ghost image) 또는 사이드 로브(side lobe)라고 부르는 원치않는 패턴이 형성된다.
- <24> 그러나, 상기와 같이 저투과율의 어테뉴에이티드 위상반전마스크를 이용하면 보다 작은 패턴을 해상하는데 있어서 그 한계가 명확하다는 장점이 있다.
- <25> 상기와 같이 보다 작은 패턴을 해상하기 위해서는 디자인 상의 마스크 패턴의 크기도 줄어들어야 하는데, 마스크 제작 공정 상의 한계로 구현하는데 한계가 있으며, 패턴의 크기가 줄어들에 따라 공정여유도가 급격히 감소하여 저투과율의 마스크와 고투과율

의 마스크를 제작 또는 적용하는 데 어느 한 가지 종류만을 선택해야 하는 경우 각각의 결점 중의 하나를 감수해야 하는 문제점이 있다.

**【발명이 이루고자 하는 기술적 과제】**

<26> 본 발명은 상기와 같은 문제점들을 해결하기 위한 것으로서, 하나의 마스크 상에 사이드 로브 현상이 심한 셀 영역의 패턴 밀집영역에는 저투과율의 위상반전물질을 적용하고, 공정여유도가 부족한 주변회로영역의 고립된 콘택홀(isolated contact hole) 또는 밀도가 낮은 콘택홀 패턴 부위에는 고투과율의 위상반전물질을 적용하여 고해상도의 미세패턴을 형성할 수 있는 반도체소자의 위상반전마스크 제조방법을 제공하는데 그 목적이 있다.

**【발명의 구성 및 작용】**

<27> 상기 목적을 달성하기 위하여 본 발명에 따른 반도체소자의 위상반전마스크 제조방법은,

<28> 스크라이브 레인영역, 주변회로영역 및 셀영역으로 구분되는 수정기판의 상부에 제1크롬막, 위상반전물질층, 제2크롬막 및 제3크롬막의 적층구조를 형성하는 공정과,

<29> 상기 제3크롬막 상부에 패턴으로 예정되는 부분을 노출시키는 제1감광막패턴을 형성하는 공정과,

<30> 상기 제1감광막패턴을 식각마스크로 상기 적층구조를 식각하여 제1크롬막패턴, 위상반전물질층패턴, 제2크롬막패턴1 및 제3크롬막패턴1의 적층구조패턴을 형성하고, 상기 제1감광막패턴을 제거하는 공정과,

<31> 전체표면 상부에 고투과영역과 저투과영역인 상기 주변회로영역과 셀 영역을 노출



시키는 제2감광막패턴을 형성하는 공정과,

- <32>       상기 제2감광막패턴을 식각마스크로 상기 제3크롬막패턴1을 식각하여 상기 스크라이브 라인영역 상에 제3크롬막패턴2을 형성하는 공정과,
- <33>       상기 제2감광막패턴을 제거하고, 전체표면 상부에 고투과영역을 상기 주변회로영역을 노출시키는 제3감광막패턴을 형성하는 공정과,
- <34>       상기 제3감광막패턴을 식각마스크로 상기 제2크롬막패턴1을 식각하여 스크라이브 라인영역 및 셀 영역 상에 제2크롬막패턴2를 형성하는공정과,
- <35>       상기 제3감광막패턴을 제거하는 공정을 포함하는 것을 특징으로 한다.
- <36>       이하, 첨부된 도면을 참조하여 본 발명에 따른 반도체 소자의 위상 반전 마스크 제조방법에 대해 상세히 설명한다.
- <37>       도 3 은 본 발명에 따른 다중투과율 위상반전마스크의 평면도이고, 도 4a 및 도 4b 는 본 발명에 따른 다중 투과 위상반전마스크를 적용할 영역을 도시한 평면도이고, 도 5a 내지 도 5k 는 본 발명에 따른 다중 투과 위상반전마스크의 제조방법을 도시한 단면도로서 서로 연관지어 설명하기로 한다.
- <38>       먼저, 도 3 에서 최외곽은 스크라이브 라인영역으로 0%투과영역(30)이고, 그 내측에는 주변회로영역으로 고투과영역(33)이며, 중심부는 셀 영역으로 저투과영역(32)을 도시한다.
- <39>       그리고, 도 4a 는 주변회로영역에서 고립된 콘택홀패턴을 도시하는 것으로, 중심부의 콘택홀 부분은 100% 투과영역으로 수정기관(40)이고, 그 외측은 고투과율 위상반전물질(42)이 형성되어 있고, 그 외측에는 사이드 로브를 억제하기 위해 0% 투과율을 갖는

크롬막패턴(44)이 형성되어 있는 것을 도시한다.

- <40> 그리고, 도 4b 는 셀 영역에서 조밀한 콘택홀 패턴을 도시하는 것으로, 콘택홀 패턴은 100%투과영역으로 수정기판(40)이고, 그 외부는 저투과율 위상반전물질(42)이 형성되어 있는 것을 도시한다.
- <41> 상기와 같은 방법을 적용하여 다중 투과율을 갖는 위상반전마스크는 다음과 같은 방법으로 형성한다.
- <42> 먼저, 스크라이브레인영역(Ⅰ), 주변회로영역(Ⅱ) 및 셀 영역(Ⅲ)으로 구분되는 수정기판(50) 상부에 제1크롬막(51a), 위상반전물질층(52a), 제2크롬막(53a), 제3크롬막(54a) 및 제1감광막(55a)의 적층구조를 순차적으로 형성한다. 이때, 상기 제1크롬막(51a)은 T1의 투과율을 갖고, 상기 위상반전물질층(52a)은 180 °의 위상반전물질층으로 산화막을 이용하여 형성하고, 상기 제2크롬막(53a)은 T2의 투과율을 갖으며, 상기 제3크롬막(54a)은 0%의 투과율을 갖는다. 여기서, 상기 T1과 T2는 같거나 서로 다를 수도 있다. (도 5a 참조)
- <43> 다음, 상기 제1감광막(55a)을 노광 및 현상하여 패턴으로 예정되는 부분을 노출시키는 제1감광막패턴(55b)으로 형성한다. (도 5b 참조)
- <44> 그 다음, 상기 제1감광막 패턴으로 예정되는 부분을 보호하는 제1감광막패턴(24)을 형성한다.
- <45> 다음, 상기 제1감광막패턴(55b)을 식각마스크로 상기 적층구조를 식각하여 상기 수정기판(50)을 노출시키는 제3크롬막패턴1(54b), 제2크롬막패턴1(53b), 위상반전물질층패턴(52b) 및 제1크롬막패턴(51b)을 형성한다. (도 5c 참조)

- <46> 그 다음, 상기 제1감광막패턴(55b)을 제거한다. (도 5d 참조)
- <47> 다음, 전체표면 상부에 제2감광막(56a)을 도포한다. (도 5e 참조)
- <48> 그 다음, 상기 제2감광막(56a)을 노광 및 현상하여 상기 주변회로영역(Ⅱ)과 셀 영역(Ⅲ)을 노출시키는 제2감광막패턴(56b)을 형성한다. (도 5f 참조)
- <49> 다음, 상기 제2감광막패턴(56b)을 식각마스크로 상기 제3크롬막패턴1(54b)을 식각하여 상기 스크라이브 라인영역(Ⅰ) 상에 제3크롬막패턴2(54c)을 형성한다. 상기 공정으로 상기 주변회로영역(Ⅱ)과 셀 영역(Ⅲ)에  $T1 \cdot T2$ 의 투과율을 갖는 저투과영역이 형성된다. (도 5g 참조)
- <50> 그 다음, 상기 제2감광막패턴(56b)을 제거한다. (도 5h 참조)
- <51> 다음, 전체표면 상부에 상기 주변회로영역(Ⅱ)을 노출시키는 제3감광막패턴(57)을 형성한다. (도 5i 참조)
- <52> 그 다음, 상기 제3감광막패턴(57)을 식각마스크로 상기 제2크롬막패턴1(53b)를 제거하여 상기 스크라이브 라인영역(Ⅰ)과 셀 영역(Ⅲ) 상에 제2크롬막패턴2(53c)을 형성한다. 상기 공정으로 주변회로영역(Ⅱ)에  $T1$ 의 투과율을 갖는 고투과영역이 형성된다. (도 5j 참조)
- <53> 그 다음, 상기 제3감광막패턴(57)을 제거하여 다중 투과 위상반전마스크를 형성한다. 상기 다중 투과 위상반전마스크에서 상기 스크라이브 라인영역(Ⅰ)에는 제1크롬막패턴(51b), 위상반전물질층패턴(52b), 제2크롬막패턴2(53c), 제3크롬막패턴2(54c)의 적층구조로 형성되는 0%투과영역이 형성되고, 주변회로영역(Ⅱ)에는 제1크롬막패턴(51b) 및 위상반전물질층패턴(52b)의 적층구조로 형성되는 고투과영역이 형성되고, 셀 영역(Ⅲ)에

는 제1크롬막패턴(51b), 위상반전물질층패턴(52b) 및 제2크롬막패턴(53c)의 적층구조로 형성되는  $T1 \cdot T2 \cdot \pi + 180^\circ$ 의 저투과영역이 형성된다. (도 5k 참조)

#### 【발명의 효과】

<54> 이상 상술한 바와 같이, 상기한 본 발명에 따른 반도체 소자의 위상 반전 마스크 제조방법에 의하면, 하나의 마스크 상에 사이드 로브(side lobe) 현상이 심한 셀 영역의 패턴 밀집영역에는 저투과율의 위상반전물질을 적용하고, 공정여유도가 부족한 주변회로 영역의 고립된 콘택홀 또는 밀도가 낮은 콘택홀 패턴 부위에는 고투과율의 위상반전물질을 적용하여 고해상도의 미세패턴을 형성할 수 있는 반도체소자의 위상반전마스크 형성하여 위상조절이 용이하게 하고, 공정 마진을 향상시켜 반도체소자의 고집적화를 유리하게 하는 이점이 있다.

**【특허청구범위】****【청구항 1】**

스크라이브 레인영역, 주변회로영역 및 셀영역으로 구분되는 수정기판의 상부에 제1크롬막, 위상반전물질층, 제2크롬막 및 제3크롬막의 적층구조를 형성하는 공정과,

상기 제3크롬막 상부에 패턴으로 예정되는 부분을 노출시키는 제1감광막패턴을 형성하는 공정과,

상기 제1감광막패턴을 식각마스크로 상기 적층구조를 식각하여 제1크롬막패턴, 위상반전물질층패턴, 제2크롬막패턴1 및 제3크롬막패턴1의 적층구조패턴을 형성하고, 상기 제1감광막패턴을 제거하는 공정과,

전체표면 상부에 고투과영역과 저투과영역인 상기 주변회로영역과 셀 영역을 노출시키는 제2감광막패턴을 형성하는 공정과,

상기 제2감광막패턴을 식각마스크로 상기 제3크롬막패턴1을 식각하여 상기 스크라이브 레인영역 상에 제3크롬막패턴2을 형성하는 공정과,

상기 제2감광막패턴을 제거하고, 전체표면 상부에 고투과영역을 상기 주변회로영역을 노출시키는 제3감광막패턴을 형성하는 공정과,

상기 제3감광막패턴을 식각마스크로 상기 제2크롬막패턴1을 식각하여 스크라이브 레인영역 및 셀 영역 상에 제2크롬막패턴2를 형성하는공정과,

상기 제3감광막패턴을 제거하는 공정을 포함하는 반도체 소자의 위상 반전 마스크 제조방법.

**【청구항 2】**

제 1 항에 있어서,

상기 제2크롬막과 제3크롬막은 투과율이 동일한 것을 특징으로 하는 반도체소자의 위상반전 마스크 제조방법.

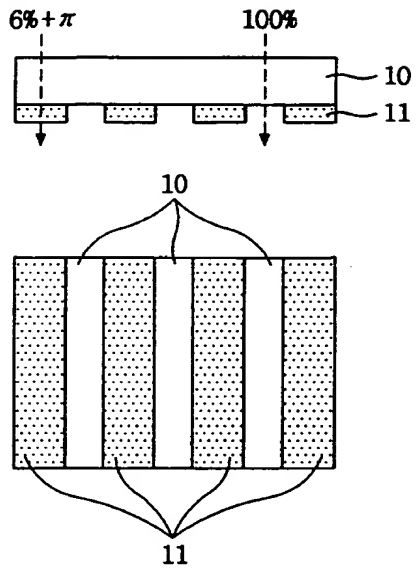
**【청구항 3】**

제 1 항에 있어서,

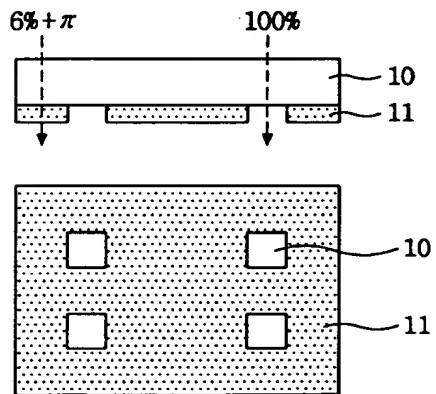
상기 제2크롬막과 제3크롬막은 투과율이 서로 다른 것을 특징으로 하는 반도체소자의 위상반전 마스크 제조방법.

## 【도면】

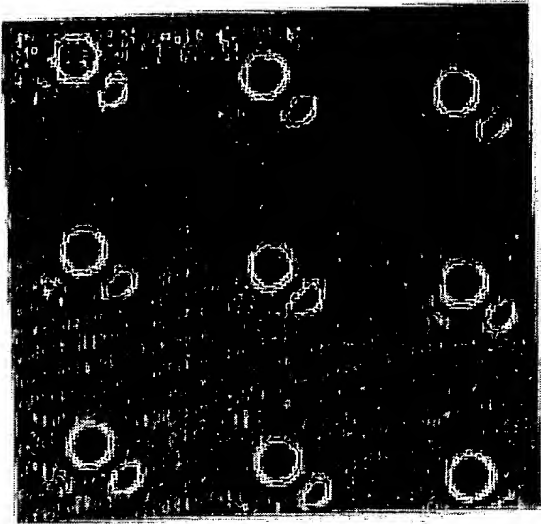
【도 1a】



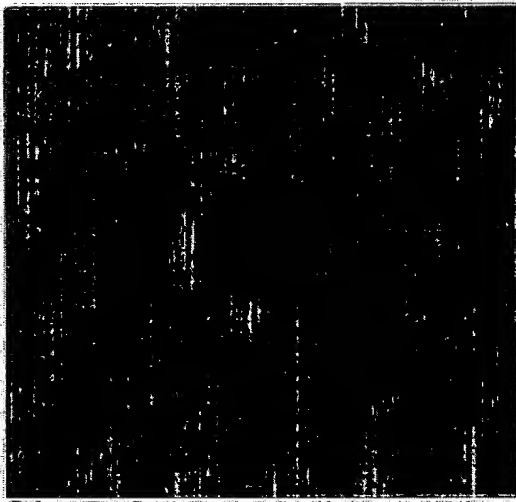
【도 1b】



【도 2a】

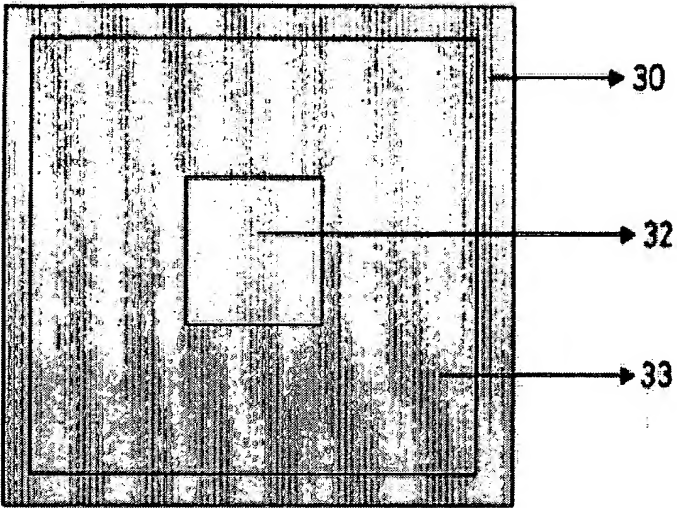


【도 2b】

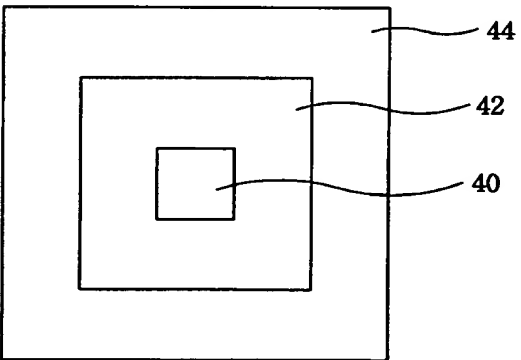




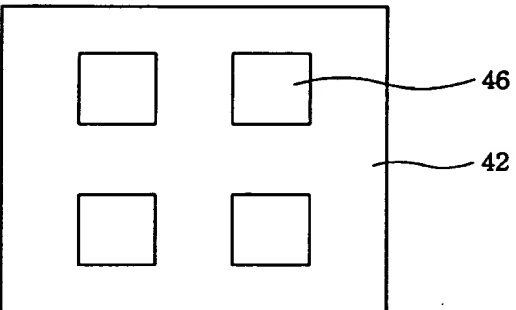
【도 3】



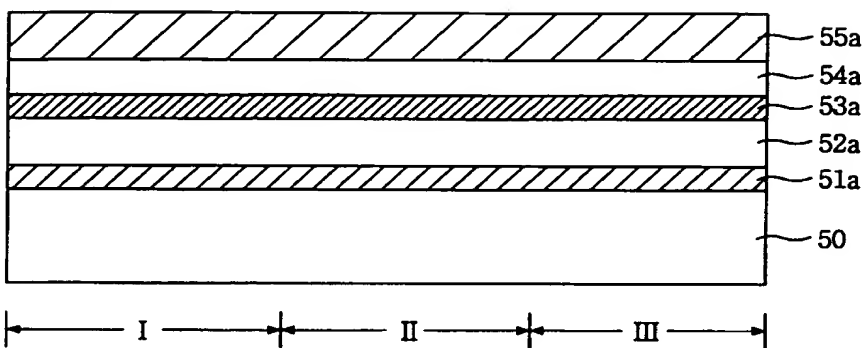
【도 4a】



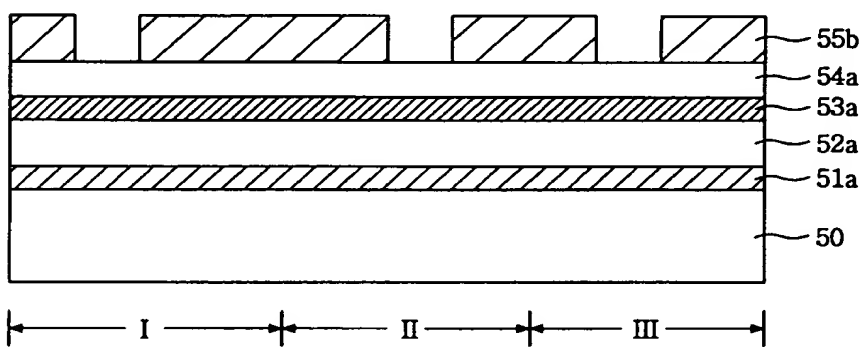
【도 4b】



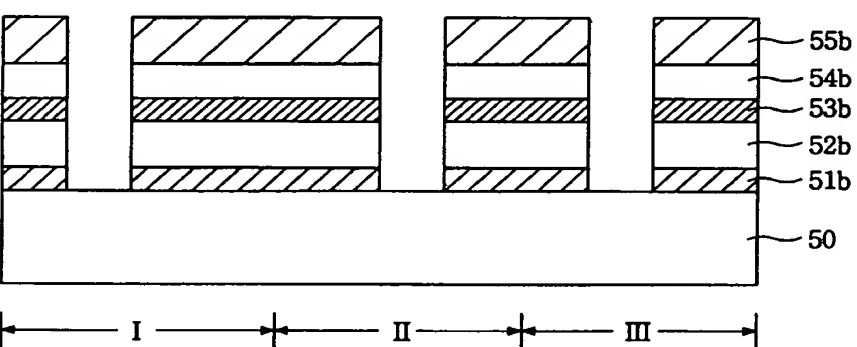
【도 5a】



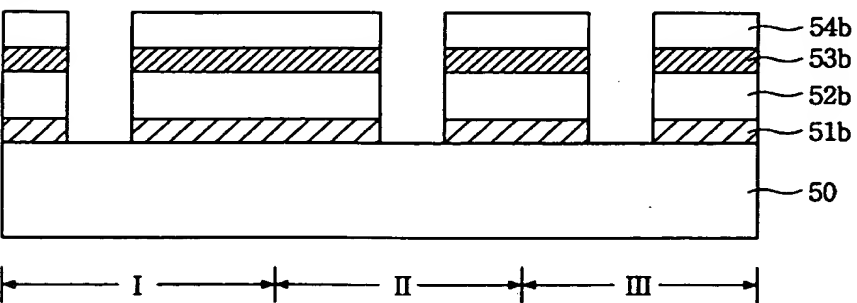
【도 5b】



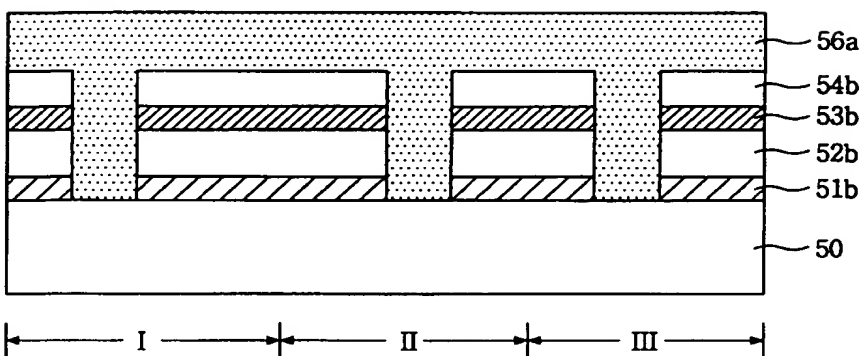
【도 5c】



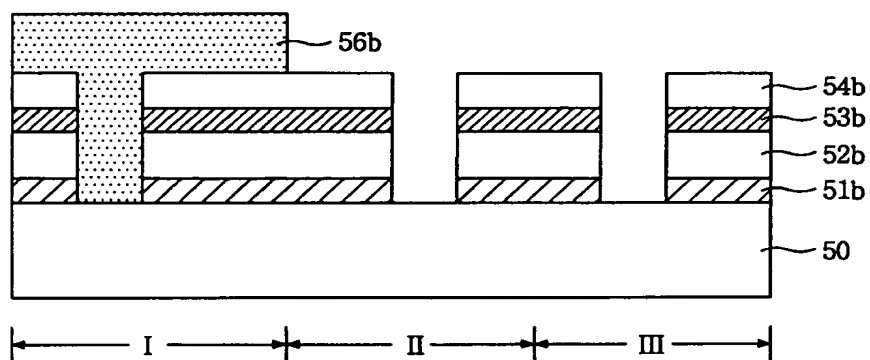
【도 5d】



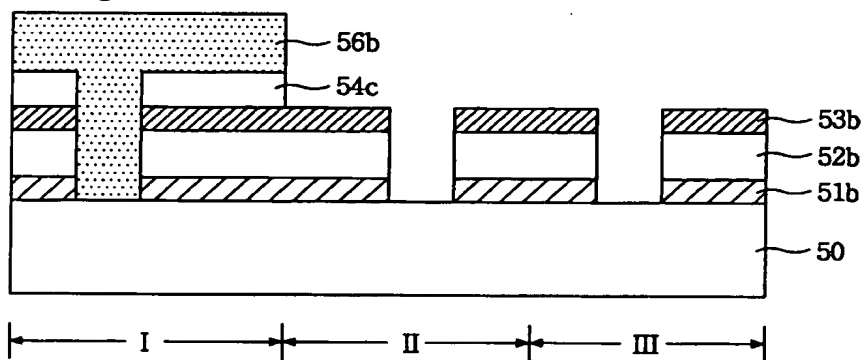
【도 5e】



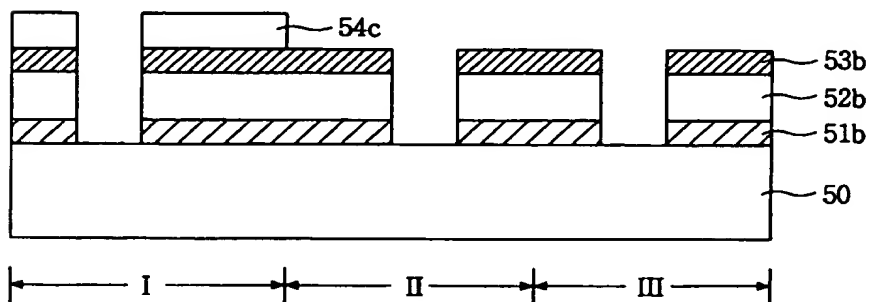
【도 5f】



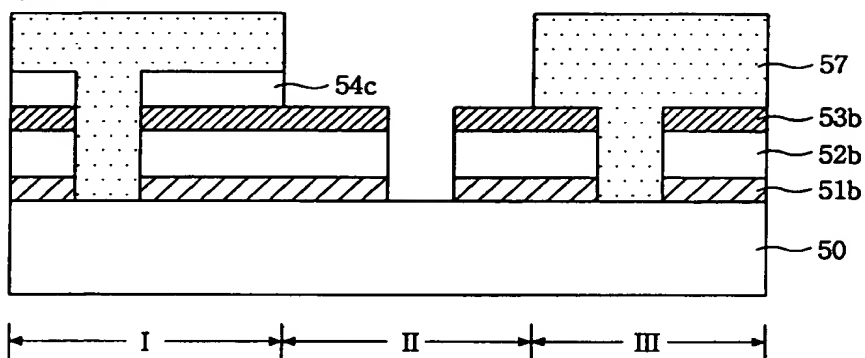
【도 5g】



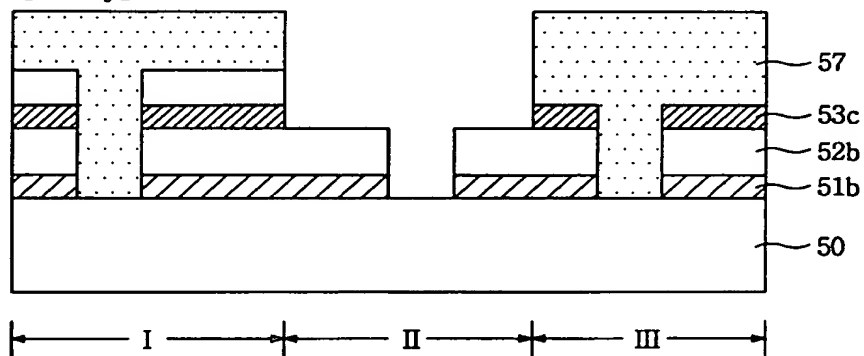
【도 5h】



【도 5i】



【도 5j】



【도 5k】

